

DERWENT-ACC-NO: 1999-625548
 DERWENT-WEEK: 200120
 COPYRIGHT 1999 DERWENT INFORMATION LTD
 TITLE: Photovoltaic cell structure e.g solar
 battery, sensor - has n-type
 amorphous semiconductor layer and n-type fine
 crystal semiconductor layer with
 specific crystal volume, and i- type fine crystal
 semiconductor layer formed
 sequentially on substrate
 INVENTOR-NAME: SANO, M
 PRIORITY-DATA: 1998JP-0010870 (January 23, 1998)
 PATENT-FAMILY:

PUB-NO	PUB-DATE	
LANGUAGE	PAGES	MAIN-IPC
JP <u>11274530 A</u>	October 8, 1999	N/A
014	H01L 031/04	
US 6211454 B1	April 3, 2001	N/A
000	H01L 031/00	

INT-CL (IPC): H01L031/00; H01L031/04

ABSTRACTED-PUB-NO: JP 11274530A

BASIC-ABSTRACT: NOVELTY - A transparent conductive
 layer (103), n-type
 semiconductor layer containing n-type amorphous
 semiconductor layer (104) and
 n-type fine crystal semiconductor layer (105) with
 3-75% of crystal volume,
 i-type fine crystal semiconductor layer (106) and
 p-type semiconductor layer
 (107), are laminated sequentially on a substrate
 (101).

USE - For solar battery, sensor and power use as
 opto-electric transducer for
 low power supply to calculation, wrist watch.

ADVANTAGE - Short circuit current, opening voltage and fill factor are improved, thus raising photoelectric conversion efficiency.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of photovoltaic cell. (101) Substrate; (103) Transparent conductive layer; (104) n-type amorphous semiconductor layer; (105) n-type fine crystal semiconductor layer; (106) i-type fine crystal semiconductor layer; (107) p-type semiconductor layer.

ABSTRACTED-PUB-NO: US 6211454B

EQUIVALENT-ABSTRACT: NOVELTY - A transparent conductive layer (103), n-type semiconductor layer containing n-type amorphous semiconductor layer (104) and n-type fine crystal semiconductor layer (105) with 3-75% of crystal volume, i-type fine crystal semiconductor layer (106) and p-type semiconductor layer (107), are laminated sequentially on a substrate (101).

USE - For solar battery, sensor and power use as opto-electric transducer for low power supply to calculation, wrist watch.

ADVANTAGE - Short circuit current, opening voltage and fill factor are improved, thus raising photoelectric conversion efficiency.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of photovoltaic cell. (101) Substrate; (103) Transparent

conductive layer; (104) n-type
amorphous semiconductor layer; (105) n-type fine
crystal semiconductor layer;
(106) i-type fine crystal semiconductor layer;
(107) p-type semiconductor
layer.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274530

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 31/04

H 0 1 L 31/04

A

審査請求 未請求 請求項の数6 O L (全 14 頁)

(21) 出願番号 特願平11-12570

(22) 出願日 平成11年(1999) 1月21日

(31) 優先権主張番号 特願平10-10870

(32) 優先日 平10(1998) 1月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 佐藤 政史

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

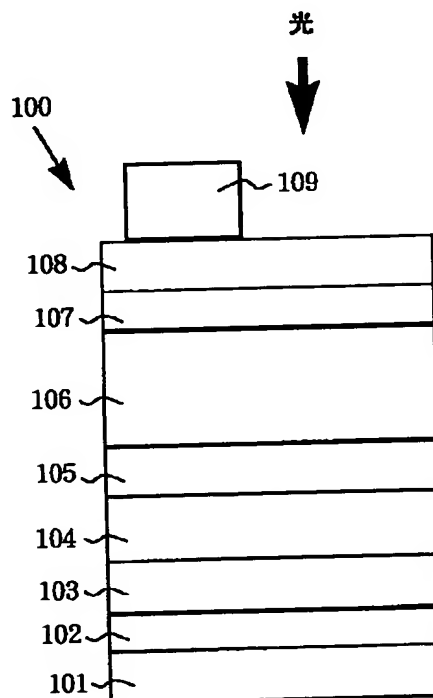
(74) 代理人 弁理士 渡辺 敬介 (外1名)

(54) 【発明の名称】 光起電力素子

(57) 【要約】

【課題】 光電変換効率が高い光起電力素子を安価に提供する。

【解決手段】 支持基板101上に第一の透明導電層103を形成し、その上にn i p型に積層した半導体層と、第二の透明導電層108を形成してなる光起電力素子において、上記n i p型に積層した半導体層のn型半導体層を非晶質半導体層104と微結晶半導体層105から形成し、i型半導体層106を微結晶層で形成する。



【特許請求の範囲】

【請求項1】 支持基板上に少なくとも一層の第一の透明導電層を有する導電性基板上に、n型半導体層、i型半導体層、p型半導体層をこの順に有し、その上に第二の透明導電層を有する光起電力素子であって、前記n型半導体層がn型非晶質半導体層と微結晶半導体層とが3%~75%のn型微結晶半導体層との少なくとも二層からなり、前記i型半導体層がi型微結晶半導体層からなることを特徴とする光起電力素子。

【請求項2】 前記第一の透明導電層の半導体層側表面において、該表面の支持基板面からの距離を f とした時に、サンプリング長 dx が20nm~100nmの範囲で、傾斜角 $\arctan(dx/f)$ の分布が、 0° を中心とする尖度が-1.2~0.5の範囲である正規分布であり、標準偏差が $15^\circ \sim 55^\circ$ である請求項1記載の光起電力素子。

【請求項3】 前記第二の透明導電層が、微量の酸素を含有するスパッタ用ガスを用いたスパッタ法により形成されている請求項1または2記載の光起電力素子。

【請求項4】 前記n型非晶質半導体層の層厚が50Å~1000Åである請求項1~3いずれかに記載の光起電力素子。

【請求項5】 前記n型微結晶半導体層の層厚が50Å~1000Åである請求項1~4いずれかに記載の光起電力素子。

【請求項6】 前記i型微結晶半導体層の層厚が0.5 μm ~3 μm である請求項1~5いずれかに記載の光起電力素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、太陽電池やセンサー等の光起電力素子に関するものであり、特に、i型微結晶半導体層を含むnip型シリコン系半導体層を有する光起電力素子に関する。

【0002】

【従来の技術】太陽光を電気エネルギーに変換する光電変換素子である光起電力素子は、電卓、腕時計など民生用の小電力用電源として広く応用されており、また、将来、石油、石炭などのいわゆる化学燃料の代替用電源として実用化可能な技術として注目されている。

【0003】光起電力素子は半導体のpn接合の光起電力を利用した技術であり、シリコンなどの半導体に太陽光を吸収させ電子と正孔の光キャリアを生成させ、該光キャリアをpn接合部の内部電界によりドリフトさせ、外部に取り出すものである。このような光起電力素子は、通常の半導体プロセスとほぼ同様のプロセスを用いることにより製造することができる。具体的には、CZ法などの結晶成長法によりp型、或いはn型に価電子制御したシリコンの単結晶を作製し、該単結晶をスライスして約300 μm の厚みのシリコンウェハを作る。さ

らにウェハ表面に前記ウェハの導電型と反対の導電型となるように価電子制御剤の拡散などの適当な手段を用いて、異種の導電型の層を形成することでpn接合を作るものである。

【0004】ところで、信頼性や変換効率の観点から、現在、主に実用化されている光起電力素子には、単結晶シリコンが使われているが、上述のように光起電力素子の作製には半導体プロセスを用いるため生産コストは高いものとなっている。

【0005】単結晶シリコン光起電力素子の他の問題点は、単結晶シリコンは間接遷移であるため光吸収係数が小さく、単結晶の光起電力素子は入射太陽光を吸収するために少なくとも50 μm の厚さにしなければならないことや、バンドギャップが約1.1eVであり光起電力素子として好適な1.5eVよりも狭いため光の短波長成分を有効に利用できないことである。

【0006】また、多結晶シリコンを用いた光起電力素子としては、表面テクスチャー構造を有し、550℃以下の低いプロセス温度で形成され、5 μm 以下の薄い厚さで優れた特性を示すものが報告されている(Keiji Yamamoto, Akihiko Nakajima et al. "Optical Confinement Effect for below 5 μm Thin Film Poly-Si Solar Cell on Glass Substrate" Jpn. J. Appl. Phys. Vol. 36 (1997) pp L569-L572)。

【0007】しかしながら、比較的高いプロセス温度と遅いプロセススピードの点から実用化には至っていない。

【0008】さらに、単結晶や多結晶は結晶質であるがために面積の大きなウェハ及び多結晶層を製造するのは極めて困難であること、屋外で使用する際に光起電力素子を様々な気象条件によりもたらされる機械的損傷から保護するため、高価な実装が必要になることなどから、単位発電量に対する生産コストが既存の発電方法に比べて割高になってしまうという問題がある。

【0009】このような事情から、光起電力素子の電力用としての実用化を進めるに当たって、低コスト化及び大面積化が重要な技術的課題であり、様々な検討がなされており、コストの安い材料、変換効率の高い材料などの材料の探究が行われてきた。このような光起電力素子の材料としては、非晶質シリコン、非晶質シリコンゲルマニウム、非晶質炭化ケイ素などのテトラヘドラル系の非晶質半導体や、CdS、Cu₂SなどのII-VI族やGaAs、GaAlAsなどのIII-V族の化合物半導体等が挙げられる。とりわけ、非晶質半導体を光起電力発生層に用いた薄膜光起電力素子は、単結晶光起電力素子に比較して大面積の膜が作製できることや、膜厚が薄くて済むこと、任意の基板材料に堆積できることな

どの長所があり有望視されている。

【0010】しかしながら、上記非晶質半導体を用いた光起電力素子は、電力用素子としては光電変換効率の向上、信頼性の向上の面で問題が残っている。

【0011】非晶質半導体を用いた光起電力素子の光電変換効率の向上の手段としては、例えば、バンドギャップを狭くして長波長の光に対する感度を増加することが行われている。即ち、非晶質シリコンは、バンドギャップが約1.7eV位であるため、700nm以上の長波長の光は吸収できず、有効に利用できないため、長波長の光に感度のある、バンドギャップの狭い材料を用いることが検討されている。このような材料としては成膜時のシリコン原料ガスとゲルマニウム原料ガスの比を変えることで容易にバンドギャップを1.3eV位から1.7eV位まで任意に変化できる非晶質シリコンゲルマニウムが挙げられる。

【0012】また、光起電力素子の変換効率を向上させる他の方法として、単位素子構造の光起電力素子を複数積層するいわゆるスタックセルを用いることが米国特許第2,949,498号明細書に開示されている。このスタックセルにはpn接合半導体を用いられているが、その思想は非晶質或いは結晶質いずれにも共通するものであり、太陽光スペクトルを異なるバンドギャップの光起電力素子により効率良く吸収させ、 V_{oc} を増大させることにより発電効率を向上させるものであった。

【0013】スタックセルは、異なるバンドギャップの素子を積層し、太陽光線のスペクトルの各部分を効率良く吸収することにより、変換効率を向上させるものであり、積層する素子の光入射側に位置するいわゆるトップ層のバンドギャップよりも該トップ層の下（光入射側と反対側）に位置するいわゆるボトム層のバンドギャップが狭くなるように設計される。これにより、太陽光線のスペクトルを十分に吸収し、光電変換効率が飛躍的に改善された(K. Miyachi et al., Proc. 11th E. C. Photovoltaic Solar Energy Conf. Montreux, Switzerland, 88, 1992), (K. Nomoto et al., "a-Si Alloy Tree-Stacked solar Cells with High Stabilized Efficiency", 7th Photovoltaic Science and Engineering Conf. Nagoya, 275, 1993)。

【0014】しかしながら、i型半導体層の全てに非晶質半導体を用いた光起電力素子には、光照射により変換効率が低下するいわゆる光劣化という問題があり、その低減には限界があった。これは、非晶質シリコン及び非晶質シリコンゲルマニウムは光照射により膜質が劣化してしまい、このためキャリアの走行性が悪くなることにより引き起こされるものであり、結晶系半導体には見ら

れない、非晶質半導体特有の現象である。そのため非晶質半導体を電力用途に用いる場合、信頼性が劣り、実用化の障害となっているのが実状である。

【0015】また、十分な光電流を得るために必要な膜厚、光劣化等の観点からプラズマCVD法によって製造されたi型微結晶シリコン半導体が注目されてきており報告がなされている(A. Shah, H. Keppner, et al., "INTRINSIC MICROCRYSTALLINE SILICON (μ -Si:H)-A PROMISING NEW THIN FILM SOLARCELL MATERIAL", 1994 IEEE First WCPEC, pp. 409-412, Dec. 5-9, 1994, Hawaii,), (A. Shah, H. Keppner, et al., "The "Micromorph" Solarcell: Extending a-Si:H Technology Towards Thin Film Crystalline Silicon", 25th IEEE PV Specialists Conference, Washington, May 13-17, 1996)。

【0016】しかしながら、いずれの報告においても微結晶層の堆積速度が遅く実用化の障害となっているのが実状である。

【0017】

【発明が解決しようとする課題】本発明の目的は、上記従来の問題点を解決し、微結晶半導体層を用いた光起電力素子のさらなる薄膜化と堆積速度の向上を図り、電力用途に用いるためにさらなる変換効率の向上を図り、信頼性が高く変換効率の高い光起電力素子を低コストで提供することにある。

【0018】

【課題を解決するための手段】本発明は、支持基板上に少なくとも一層の第一の透明導電層を有する導電性基板上に、n型半導体層、i型半導体層、p型半導体層をこの順に有し、その上に第二の透明導電層を有する光起電力素子であって、前記n型半導体層がn型非晶質半導体層と微結晶率率が3%~75%のn型微結晶半導体層との少なくとも二層からなり、前記i型半導体層がi型微結晶半導体層からなることを特徴とする光起電力素子である。

【0019】前記第一の透明導電層の半導体層側表面において、該表面の支持基板面からの距離をfとした時に、サンプリング長dxが20nm~100nmの範囲で、傾斜角 $\arctan(df/fx)$ の分布が、 0° を中心とする尖度が-1.2~0.5の範囲である正規分布であり、標準偏差が $15^\circ \sim 55^\circ$ であることが好ましい。ここで支持基板面とは、現実の支持基板面(凹凸を有することもある)ではなく、現実の支持基板面から凹凸をとり除いた仮定の平面である。

【0020】また、前記第二の透明導電層が、微量の酸素を含有するスパッタ用ガスを用いたスパッタ法により形成されていることが好ましい。

【0021】さらに、前記n型非晶質半導体層の層厚が50Å～1000Åであることが好ましい。

【0022】また、前記n型微結晶半導体層の層厚が50Å～1000Åであることが好ましい。

【0023】さらに、前記i型微結晶半導体層の層厚が0.5μm～3μmであることが好ましい。

【0024】本発明において、前記n型微結晶半導体層は、低抵抗なn型半導体層として機能すると同時に、さらにその上に形成されるi型微結晶半導体層の核形成層としての機能も有し、i型微結晶半導体層を薄膜の状態であっても適度な粒径に成長させることができ、且つ、非晶質領域の少ない比較的結晶化の高い構造のものが得られ、光劣化がほとんどない実用可能な高速堆積が可能となる。従って、これまで困難であった高速成膜を可能として飛躍的に製造コストを下げるができる。

【0025】また、n型非晶質半導体層を第一の透明導電層上に設けることにより、該透明導電層と半導体層との密着性が向上すると共に、該透明導電層の水素プラズマ等による還元を防ぐことができ、且つ、n型微結晶半導体層を再現性良く堆積し易くし、異常成長結晶の少ない比較的結晶粒の均一なn型微結晶を形成し易くすることができる。

【0026】さらに、 $\arctan(df/fx)$ の分布を前記のように制御することにより、裏面からの光の反射率が増加し、nip型半導体層中のi型微結晶半導体層の膜厚を、従来好適と考えられてきた膜厚はすれなく薄くすることができ、光照射による該i型半導体層中での局在準位の増加を抑制することができ、光起電力素子の中でもさらに光劣化を抑制することができる。

【0027】前記第二の透明導電層が微量の酸素を含有するスパッタ用ガスを用いたスパッタ法により形成されていることにより、上記nip型半導体層中のi型微結晶半導体層とその上のp型半導体層との界面準位の低減及びi層のグレインバインダーの改善等がなされ、光劣化を抑制しながら高い光電変換効率を維持することができる。

【0028】前記n型非晶質半導体層の層厚を50Å～1000Åにすることにより、n型微結晶半導体層の微結晶体積率を容易に制御することができ、且つ第一の透明導電層のプラズマによるダメージを低減することができ、密着性が向上する等して大面積で且つ高い光電変換効率を維持することができる。

【0029】前記n型微結晶半導体層の層厚を50Å～1000Åにすることにより、n型微結晶半導体層が低抵抗なn型半導体層としてより良好に機能する上、i型微結晶半導体層の高速成膜及び結晶粒径と結晶化率を容

易に制御することが可能となり、光劣化をほとんど生ずることなく高い光電変換効率を維持することができる。

【0030】前記i型微結晶半導体層の層厚を0.5μm～3μmとすること、即ちi型微結晶半導体層の層厚を従来好適と考えられてきた層厚を外れてごく薄くすることにより、光照射によるi型層中での局在準位の増加を抑制することができ、さらに光劣化を抑制することができる。

【0031】

【発明の実施の形態】以下、本発明の光起電力素子の好適な実施態様について詳細に説明するが、本発明は以下の実施態様に限定されるものではない。

【0032】図1は本発明の光起電力素子の一実施態様を示す模式的な断面図である。図中、100は光起電力素子、101は支持基板、103は第一の透明導電層、104はn型非晶質半導体層、105はn型微結晶半導体層、106はi型微結晶半導体層、107はp型半導体層、108は第二の透明導電層、109は集電電極である。また、支持基板101と第一の透明導電層との間には、必要に応じて裏面反射層102を有していても良い。

【0033】(支持基板)半導体層104～107は高だか3μm程度の薄膜であるため、種々の支持基板上に堆積して設けることができる。このような支持基板101は、単結晶質のものであっても非単結晶質のものであっても良く、導電性のものであっても、電気絶縁性のものであっても良い。また、支持基板101は透光性、非透光性のいずれも良いが、変形や歪みが少なく、所望の強度を有するものであることが好ましい。具体的には、Fe、Ni、Cr、Al、Mo、Au、Nb、Ta、V、Ti、Pt、Pb等の金属またはこれらの合金(例えば真鍮、ステンレス鋼等)の薄板及びその複合体、及びポリエステル、ポリエチレン、ポリカーボネート、セルロースアセテート、ポリプロピレン、ポリ塩化ビニル、ポリ塩化ビニリデン、ポリスチレン、ポリアミド、ポリイミド、エポキシ等の耐熱性合成樹脂のフィルムまたはシート、またはこれらとガラスファイバー、カーボンファイバー、ホウ素ファイバー、金属繊維等との複合体、及びこれらの金属の薄板、樹脂シート等の表面に異種材質の金属薄膜及び/またはSiO₂、Si₃N₄、Al₂O₃、AlN等の絶縁性薄膜をスパッタ法、蒸着法、鍍金法等により表面コーティング処理したもの、及び、ガラス、セラミックスなどが挙げられる。

【0034】本発明において、支持基板101が金属等の電気導電性を有するものである場合には、支持基板101に電流取り出し用の電極としての役割を兼ねさせてもよい。一方、支持基板101が合成樹脂等の電気絶縁性のものである場合には堆積膜の形成される側の表面にAl、Ag、Pt、Au、Ni、Ti、Mo、W、Fe、V、Cr、Cu、ステンレス、真鍮、ニクロム、S

SnO_2 、 In_2O_3 、 ZnO 、ITO（インジウム錫酸化物）等のいわゆる金属単体または合金、及び透明導電性酸化物（TCO）を鍍金、蒸着、スパッタ等の方法であらかじめ設けることによって電流取り出し用電極を形成しておくことが望ましい。この電極は後述する裏面反射層や第一の透明導電層の役割を兼ねることができる。

【0035】また、支持基板101が金属等導電性のものであっても、長波長光の基板表面上での反射率を向上させたり、基板材質と堆積膜との間での構成元素の相互拡散を防止する等の目的で、支持基板101とは異種の金属層等を支持基板101の堆積膜が形成される側に設けても良い。この金属層は裏面反射層の役割を兼ねることができる。また、支持基板101が比較的透明であって、該基板の側から光入射を行う層構成の光起電力素子とする場合には、透明導電性酸化物や金属薄膜等の導電性薄膜を予め堆積形成しておくことが望ましい。この導電性薄膜は第一の透明導電層の役割を兼ねることができる。

【0036】支持基板101の表面は、平滑面であっても、微小な凹凸面であっても良い。微小な凹凸面とする場合には、凹凸形状は球状、円錐状、角錐状等であって、且つその最大高さ（ R_{\max} ）を好ましくは $0.05\mu\text{m}\sim 2\mu\text{m}$ とする。それにより、該表面での光反射が乱反射となり、該表面での反射光の光路長の増大をもたらす。基板の形状は、用途により平滑表面或いは凹凸表面の板状、長尺ベルト状、円筒状等とすることができ、その厚さは、所望通りの光起電力素子を形成し得るように適宜決定するが、出来上がった光起電力素子に可撓性が要求される場合、または基板の側より光入射がなされる場合には、基板としての機能が十分発揮される範囲内で可能な限り薄くすることができる。基板の製造上及び取り扱い上、機械的強度等の点から、基板の厚さは通常は $10\mu\text{m}$ 以上とされる。

【0037】（裏面反射層）裏面反射層は、半導体層で吸収しきれなかった光を再び半導体層に反射する光反射層としての役割を有する。本発明に用いられる裏面反射層（裏面電極としての機能を有することもある）は光入射方向に対し、半導体層の裏面に配される層である。従って、図1の102の位置に配置される。裏面反射層の材料としては、Au、Ag、Cu、Al、Ni、Fe、Cr、Mo、W、Ti、Co、Ta、Nb、Zr等の金属またはステンレス等の合金が挙げられる。中でもAl、Cu、Ag、Auなどの反射率の高い金属が特に好ましい。

【0038】また、裏面反射層の形状は平坦であっても良いが、光を散乱する凹凸形状を有することがより好ましい。光を散乱する凹凸形状を有することによって、半導体層で吸収しきれなかった長波長を散乱させて半導体層内での光路長を伸ばし、光起電力素子の長波長感度を向上させて短絡電流を増大させ、光電変換効率を向上さ

せることができる。光を散乱する凹凸形状は、凹凸の山と谷の高さの差の最大値 R_{\max} が $0.2\mu\text{m}\sim 2.0\mu\text{m}$ であることが望ましい。

【0039】但し、支持基板101が裏面電極を兼ねる場合には、裏面反射層の形成を必要としない場合もある。

【0040】また、裏面反射層の形成には、蒸着法、スパッタ法、メッキ法、印刷法などを用いることができる。また裏面反射層を光を散乱する凹凸形状に形成するために、形成した金属或いは合金の膜にドライエッチング或いはウエットエッチング、サンドブラスト、加熱などの処理を施してもよい。また基板を加熱しながら前述の金属或いは合金を蒸着することにより光を散乱する凹凸形状を形成することもできる。

【0041】（透明導電層）裏面反射層102とn型非晶質半導体層104との間に、導電性酸化亜鉛等からなる第一の透明導電層103を設ける。第一の透明導電層103は、裏面反射層102を構成する金属元素がn型非晶質半導体層104中へ拡散するのを防止するのみならず、若干の抵抗値を持たせることで半導体層を挟んで対向する裏面反射層（電極となる場合もある）102と第二の透明導電層108との間の半導体層のピンホール等の欠陥が原因となって発生するショートを防止すること、及び薄膜による多重干渉を発生させ、入射された光を光起電力素子内に閉じ込める等の機能を有する。

【0042】第一の透明導電層103の形状は平坦であっても良いが、光を散乱する凹凸形状を有することがより好ましい。光を散乱する凹凸形状を有することによって、半導体層で吸収しきれなかった長波長光を散乱させて半導体層内での光路長を延ばし、光起電力素子の長波長感度を向上させて短絡電流を増大させ、光電変換効率を向上させることができる。光を散乱する凹凸形状は、凹凸の山と谷の高さの差の最大値 R_{\max} が $0.2\mu\text{m}\sim 2.0\mu\text{m}$ であることが望ましい。

【0043】本発明において第一の透明導電層103は、半導体層側表面において、該表面の支持基板面からの距離を f とした時にサンプリング長 dx が $20\text{nm}\sim 100\text{nm}$ の範囲で、傾斜角 $\arctan(df/fx)$ の分布が、 0° を中心とする尖度が $-1.2\sim 0.5$ の範囲である正規分布であり、標準偏差が $15^\circ\sim 55^\circ$ であることが望ましい。

【0044】図2は、本発明の光起電力素子の第一の透明導電層の表面をプローブ顕微鏡で観察し、その観察データから任意のサンプリング長において、表面の傾き df/dx から傾斜角 $\arctan(df/dx)$ を求めるための概念図である。

【0045】サンプリング長がより小さい範囲では、短絡光電流の増加に寄与しない凹凸による傾斜を測定してしまうことがある。逆にサンプリング長がより大きい範囲では凹凸のピッチと近くなり、光吸収の増加に寄与す

る波長に対する凹凸が正確に測定できない。従って、サンプリング長は光電変換素子にて電気信号に変換したい光の波長の $1/3 \sim 1/10$ 程度が好ましい。おおむね紫外光、可視光、近赤外光の範囲を目的としているのであれば、 $20\text{nm} \sim 100\text{nm}$ が好ましい。

【0046】こうしたサンプリング長で測定した傾斜角*

$$\text{尖度} = \left[\frac{n(n+1)}{(n-1)(n-2)(n-3)} \sum \left(\frac{x_i - \bar{x}}{s} \right)^3 \right] - \frac{3(n-1)^2}{(n-2)(n-3)} \quad (s \text{ は標準偏差})$$

【0048】上記尖度が正であれば分布が相対的に鋭角になっており、負の時は平坦になっていることを示す。本発明においては、上記尖度が $-1.2 \sim 0.5$ の範囲である正規分布であり、標準偏差が $15^\circ \sim 55^\circ$ であることが好ましい。当該発明にかかる標準偏差が 15° より小さい場合には、上記i型微結晶半導体層の層厚を比較的厚くする必要があり、 55° より大きくなると、急峻な頂点部には半導体層の局所的な応力が発生し、欠陥部分が生成され易くなり、また谷部には半導体が堆積されない空へきが生じ易くなり、光起電力素子のリーク電流が増加し、光起電力素子製造の歩留を低下させる恐れがある。

【0049】第一の透明導電層の形成には、蒸着法、スパッタ法、メッキ法、印刷法などを用いることができる。また第一の透明導電層を光の散乱する凹凸形状に形成するために、形成した透明導電層の膜にドライエッチング、ウェットエッチング、サンドブラスト、加熱等の処理を施してもよい。また、基板を加熱しながら上記透明導電層を堆積することにより光を散乱する凹凸形状を形成することもできる。ウェットエッチングする場合は、例えば、酸、アルカリ等でエッチングすることも有効である。この時、凹凸形状を安定に制御することは困難である。かかる制御を行うにあたっては、エッチャントの液温と浸す時間が非常に重要な要素である。この時、用いられる酸としては、蟻酸、酢酸、塩酸、硝酸等が、アルカリとしては水酸化カリウム、水酸化ナトリウム、水酸化アルミニウム等が、塩としては塩化鉄、塩化アルミニウム、硫酸アルミニウム等が好適である。酢酸と硫酸アルミニウム等の塩との混合液を用いれば、凹凸形状を比較的安定に制御できる。この時、液温はエッチャントの濃度にもよるが低温にした方が制御性が良い。

【0050】(n型非晶質半導体層、n型微結晶半導体層、p型半導体層)n型非晶質半導体層104、n型微結晶半導体層105、p型半導体層107は本発明の光起電力素子の特性を左右する重要な層である。本発明において半導体層は水素を含有するシリコン系半導体から形成されている。

【0051】p型層またはn型層に用いられる非晶質材料(アモルファス;「a-」と記す)、微結晶材料(「μc-」と記す)としては、例えばa-Si:H、a-Si:HX、a-SiC:H、a-SiC:HX、a-SiGe:H、a-SiGeC:H、a-SiO:※50

*の分布は 0° を中心とした正規分布を示し、ある角度に偏るようなことがないことが好ましいことがわかった。その正規分布からのずれを表わす尖度は以下の式で表わされる。

【0047】

【数1】

※H、a-SiN:H、a-SiON:HX、a-SiO
CN:HX、μc-Si:H、μc-SiC:H、μc-Si:HX、μc-SiC:HX、μc-SiGe:H、μc-SiO:H、μc-SiGeC:H、μc-SiN:H、μc-SiON:HX、μc-SiOC
N:HX、等にp型の価電子制御剤(周期律表第III族原子;B、Al、Ga、In、Tl)やn型の価電子制御剤(周期律表第V族原子;P、As、Sb、Bi)を高濃度に添加した材料が挙げられ、n型微結晶半導体層及びp型半導体層として、多結晶材料(「poly-」と記す)としては、例えばpoly-Si:H、poly-Si:HX、poly-SiC:H、poly-SiC:HX、poly-SiGe:H、poly-Si、poly-SiC、poly-SiGe、等にp型の価電子制御剤(周期率表第III族原子;B、Al、Ga、In、Tl)やn型の価電子制御剤(周期律表第V族原子;P、As、Sb、Bi)を高濃度に添加した材料が挙げられる。尚、上記Xはハロゲン原子を意味する。

【0052】特に光入射側のp型半導体層には、光吸収の少ない結晶性の半導体層かバンドギャップの広い非晶質半導体層が適している。

【0053】またp型層への周期律表第III族原子の添加量及びn型層への周期律表第V族原子の添加量は $0.1 \sim 50\text{atm}\%$ が好適である。

【0054】p型層またはn型層に含有される水素原子(H、D)またはハロゲン原子はp型層またはn型層の未結合手を補償する働きをし、p型層またはn型層のドーピング効率を向上させるものである。p型層またはn型層へ添加される水素原子またはハロゲン原子の添加量は $0.1 \sim 40\text{atm}\%$ が好適である。特に結晶性を有するn型微結晶半導体層及びp型半導体層に添加する場合、水素原子またはハロゲン原子の添加量は $0.1 \sim 8\text{atm}\%$ が好適である。さらに、p型層/i型層、n型層/i型層の各界面側でその他の領域と比べて水素原子及び/またはハロゲン原子の含有量が多くなっているものが好ましい分布形態として挙げられる。該界面近傍での水素原子及び/またはハロゲン原子の含有量はバルク内の含有量の $1.05 \sim 2$ 倍であることが好ましい。このようにp型層/i型層、n型層/i型層の各界面近傍で水素原子及び/またはハロゲン原子の含有量を多くすることによって、該界面近傍の欠陥準位や機械的歪みを

減少させることができ、本発明の光起電力素子の光起電力や光電流を増加させることができる。

【0055】本発明において、*n*型微結晶半導体層105は、微結晶体積率が3%以上75%以下である。これにより、*i*型微結晶半導体層106が薄膜であっても所望の結晶粒径及び結晶化率に*i*型微結晶半導体層106を形成することができ、光起電力や光電流を増加させることができる。*n*型微結晶半導体層の微結晶体積率が3%未満では核形成密度が低くなりすぎて*i*型微結晶半導体層が十分に結晶成長しにくく、また75%を超えると核形成密度が大きくなりすぎて*i*型微結晶半導体層の結晶粒径が小さくなり、結晶粒界が増加し、光起電力素子としての特性を低下させてしまう。

【0056】光起電力素子の*p*型半導体層及び*n*型半導体層の電気特性としては、活性化エネルギーが0.2eV以下であることが好ましく、0.1eV以下であることがより好ましい。またそれらの比抵抗としては、100Ωcm以下が好ましく、1Ωcm以下がより好ましい。さらに、*p*型半導体層107の膜厚は1~50nmが好ましく、3~10nmがより好ましい。

【0057】本発明において、*n*型非晶質半導体層104の厚さは50Å~1000Åが好ましく、100Å~700Åがより好ましい。*n*型非晶質半導体層104が50Åより薄くなると、第一の透明導電層へのプラズマダメージの低減が不十分になり、光の反射率を低下させる恐れがあり、また、密着性も低下する恐れがある。また、該層104が1000Åより厚くなると、光起電力素子のシリーズ抵抗の増加、及び裏面からの光反射率の低下を招く恐れがある他、*n*型微結晶半導体層の微結晶体積率を増加させてしまうという問題も招く恐れがあり、光起電力素子としての特性を低下させ易い。

【0058】また本発明において、*n*型微結晶半導体層105の厚さは50Å~1000Åが好ましい。*n*型微結晶半導体層105を50Åより薄くすると、*i*型微結晶半導体層の核形成層としての機能が不十分になり、*i*型微結晶半導体層106の結晶粒径及び結晶化率が低下してしまう恐れがある。また、該層105を1000Åより厚くすれば、光起電力素子のシリーズ抵抗の増加、及び裏面からの光反射率の低下を招く恐れがある他、*n*型微結晶半導体層105内の結晶粒径の均一性を欠き、*i*型微結晶半導体層106の異常成長を招き易く、光起電力素子としての特性を低下させてしまう恐れがある。

【0059】(*i*型微結晶半導体層)*p i n*接合に用いる*i*型微結晶半導体層106は光照射によってキャリアを発生させ、該キャリアを輸送する重要な層である。*i*型微結晶半導体層106としては、僅かに*p*型、あるいは僅かに*n*型の層も使用できる。

【0060】本発明において*i*型微結晶半導体層106を構成する半導体材料としては、微結晶シリコンが用いられる。微結晶シリコンは、ダングリングボンドを補償

する元素によって、 $\mu c-Si:H$ 、 $\mu c-Si:F$ 、 $\mu c-Si:H:F$ 等と表記される。

【0061】本発明に好適な*i*型微結晶半導体層106としては、*i*型の水素化微結晶シリコン($\mu c-Si:H$)層が挙げられる。その特性は、光(630nm)の吸収係数(α)が5000cm⁻¹以上、水素原子の含有量(C_H)が1~10%、AM-1.5、100mW/cm²の疑似太陽光照射下の光伝導度(ρ_p)が1.0×10⁻⁵S/cm以上、暗伝導度(ρ_d)が1.0×10⁻⁶S/cm以下、コンスタントフォトカレントメソッド(CPM)によるアーバックエナジーが55meV以下、X線回折ピークが(110)方向に優先配向し、結晶粒径は100nm以下であることが好ましい。*i*型微結晶半導体106には、 $\mu c-Si:H$ 以外にも、前述した*p*型層または*n*型層の微結晶材料として挙げたものを用いることができる。

【0062】本発明において、*i*型微結晶半導体層106の層厚は、好ましくは0.5μm~3μmである。*i*型微結晶半導体層106の層厚を0.5μm未満とすると、結晶粒径及び結晶化率が不十分となり、光起電力素子の短絡電流を低下させてしまう恐れがあり、また、3μmを超えると、結晶粒界及び微結晶内に存在するごく微量の欠陥または準位による影響を受け易く、光起電力素子の短絡電流及び曲線因子(フィルファクター)を低下させてしまう恐れがある。また、ランニングコストという観点からは、*i*型微結晶半導体層は薄くした方が有利である。

【0063】(半導体層の形成方法)本発明の光起電力素子の半導体層に好適な形成方法は、0.1GHz~10GHzの高周波(VHF波もしくはマイクロ波)を用いたプラズマCVD法であり、次に好適な方法は0.1MHz~0.1GHzの高周波(RF波もしくはVHF波)を用いたプラズマCVD法である。

【0064】0.1GHz~10GHzの高周波を用いたプラズマCVD法は、減圧状態にできる堆積室(真空チャンバー)に原料ガス、希釈ガスなどの材料ガスを導入し、真空ポンプによって排気しつつ、堆積室内の圧を一定にして、マイクロ波電源もしくはVHF電源によって発振されたマイクロ波もしくはVHF波(0.1GHz~10GHz)を、導波管または同軸ケーブルによって導き、誘導体窓(アルミナセルミックス等)または電氣的に堆積室より絶縁された導電体(Ni、W、SUS等の棒)を介して前記堆積室に導入して、材料ガスのプラズマを生起させて分解し、堆積室内に配置された基板上に所望の堆積膜を形成する方法であり、広い堆積条件で光起電力素子に適用可能な堆積膜を形成することができる。

【0065】本発明の光起電力素子の半導体層を、0.1GHz~10GHzの高周波を用いたプラズマCVD法で堆積する場合、堆積室内の基板温度は170℃~4

13

50℃、内圧は5～500mtorr、マイクロ波パワーもしくはVHFパワーは0.001～1W/cm²が好ましい範囲として挙げられる。

【0066】また0.1MHz～0.1GHzの高周波を用いたプラズマCVD法で半導体層を堆積する場合、堆積室内の基板温度は100～350℃、内圧は0.1～10torr、RFパワーもしくはVHFパワーは0.01～5.0W/cm²、堆積速度は0.1～15Å/secが好適な条件として挙げられる。

【0067】また、本発明の光起電力素子の半導体層の形成に適した堆積膜形成方法として、米国特許第4400409号明細書に開示されているロール・ツー・ロール(Roll to Roll)方式によるものを用いることができる。この堆積膜形成方法は、複数のグロー放電領域を帯状の基板が順次通過する経路に沿って配置し、必要とされる導電型の半導体層をそれぞれのグロー放電領域で該帯状の基板上に堆積形成しつつ、該帯状の基板をその長手方向に連続的に搬送させるものである。これによって、所望の半導体接合を有する光起電力素子を連続的に形成することができるようになっている。

【0068】(第二の透明導電層)本発明において、支持基板101と反対側から半導体層に光を入射させる場合、第二の透明導電層108は光を透過する光入射側の電極であると共に、その膜厚を最適化することによって反射防止膜としての役割も兼ねる。第二の透明導電層108には半導体層の吸収可能な波長領域において高い透過率を有することと、抵抗率が低いことが要求される。具体的には、550nmにおける透過率が80%以上であることが好ましく、85%以上であることがより好ましい。また、その抵抗率は好ましくは、 $5 \times 10^{-3} \Omega \text{cm}$ 以下、より好ましくは、 $1 \times 10^{-3} \Omega \text{cm}$ 以下である。その材料としては、 In_2O_3 、 SnO_2 、ITO($\text{In}_2\text{O}_3 + \text{SnO}_2$)、 ZnO 、 CdO 、 Cd_2SnO_4 、 TiO_2 、 Ta_2O_5 、 Bi_2O_3 、 MoO_3 、 Na_xWO_3 等の導電性酸化物或いはこれらを混合したものが好適に用いられる。また、これらの化合物に、導電率を変化させる元素(ドーパント)を添加しても良い。

【0069】導電率を変化させる元素(ドーパント)としては、例えば第二の透明導電層108が ZnO の場合には、Al、In、B、Ga、Si、F等が、また In_2O_3 の場合には、Sn、F、Te、Ti、Sb、Pb等が、また SnO_2 の場合には、F、Sb、P、As、In、Tl、Te、W、Cl、Br、I等が好適に用いられる。

【0070】また、第二の透明導電層108の形成方法としては、スパッタ法、特に微量の酸素を含有するスパッタ用ガスによりスパッタ形成する方法が好適に用いられる。

【0071】(集電電極)本発明において、集電電極1

14

09は、第二の透明導電層108を光入射側電極とする場合に、その抵抗率を十分低くできない場合に必要に応じて第二の透明導電層108上の一部分に形成され、電極の抵抗率を下げ光起電力素子の直列抵抗を下げる働きをする。その材料としては、Au、Ag、Cu、Al、Ni、Fe、Cr、Mo、W、Ti、Co、Ta、Nb、Zr等の金属、またはステンレス等の合金、或いは粉末状金属を用いた導電ペーストなどが挙げられる。その形状は、できるだけ半導体層への入射光を遮らないように、枝状とすることが好ましい。

【0072】また、光起電力素子の全体の光入射側面の面積の中で、集電電極の占める面積は、好ましくは15%以下、より好ましくは10%以下、さらに好ましくは5%以下である。

【0073】また、集電電極のパターンはマスクを用いて、蒸着法、スパッタ法、メッキ法で形成したり、印刷法やワイヤー状電極の貼り付け等によって形成したりすることができる。

【0074】尚、本発明の光起電力素子を用いて、所望の出力電圧、出力電流の光起電力装置を構成する場合には、本発明の光起電力素子を直列或いは並列に接続し、表面と裏面に保護層を形成し、出力の取り出し電極等を取り付けることが好ましい。また、本発明の光起電力素子を直列接続する場合、逆流防止用のダイオードを組み込むことが好ましい。

【0075】

【実施例】[実施例1]本発明の第1の実施例として、支持基板101上に不図示の堆積装置を用いて裏面反射層102と第一の透明導電層103を堆積し、図3に示した堆積装置を用いて半導体層を堆積し、図1に示した構成の光起電力素子を作製した。

【0076】先ず基板の作製を行った。厚さ1.1mm、50mm×50mmのSUS304基板をアセトンとイソプロパノールで超音波洗浄し、温風乾燥した。次に不図示のスパッタ装置を用いて、裏面反射層102としてAgを500nm室温で堆積した後、同じく不図示のスパッタ装置を用いて第一の透明導電層103として ZnO を2μmの厚さに基板温度200℃で堆積した。第一の透明導電層103の表面断面形状をプローブ顕微鏡を用いて観察したところ、該表面のサンプリング長dxが20nm～100nmの範囲で、傾斜角 $\arctan(df/dx)$ の分布が、0°を中心とする尖度が1.2～0.5の範囲である正規分布であり、標準偏差は23°であった。

【0077】図3は本発明の光起電力素子の半導体層を形成することのできるプラズマCVD装置の一例を示す模式的な断面図である。図中、301は反応室(堆積室)、302は第一の透明導電層まで形成された基板、303はヒーター、304はコンダクタンスバルブ、306は高周波の導入部、309はマッチング回路を内蔵

15

する高周波電源、310はプラズマ、311は基板をプラズマにさらすか否かを決定するシャッター、314は排気管、315はガス導入管である。313は排気方向、316はガス導入方向を示すものである。図3には示していないが、真空ポンプが図中の排気管314に接続され、原料ガス供給装置がガス導入管315に接続されている。プラズマCVD装置は以上の部材などで構成される。

【0078】原料ガス供給装置(不図示)は原料ガスポンペを有している。原料ガスポンペ中のガスはいずれも超高純度に精製されたもので、本例では SiH_4 、 SiF_4 、 PH_3/H_2 ($\text{PH}_3:1\%$)、 $\text{B}_2\text{H}_6/\text{H}_2$ ($\text{B}_2\text{H}_6:1\%$)、 H_2 の各ガスポンペをガス導入管315に接続した。

【0079】このプラズマCVD装置を用いて、以下の手順で半導体層を形成した。先ず、裏面反射層及び第一の透明導電層を形成した前述の基板302を反応室301内部のヒーター303に取り付け、反応室301内部の圧力が 1×10^{-5} torr以下になるように油拡散ポンプ(真空ポンプ)で排気した。圧力が 1×10^{-5} torr以下になったところで、 H_2 ガス(He ガス等でも代用できる)をガス導入管315から反応室301内に導入し、ヒーター303を入れ、基板302が所望の温度になるように設定した。

【0080】基板302の温度が安定したところで、ガス導入管315から原料ガスを導入し、高周波電源309から電力を反応室301内部に導入した。プラズマ310が生起したところで所望の圧力になるようにコンダクタンスバルブ304を調整し、その際、不図示のマッチング回路を調整し、反射電力を最小にした。

【0081】次に、シャッター311を開け、所望の膜厚を有する層が形成されたところでシャッター311を閉じ、高周波電力の導入、原料ガスの導入を止め、次の層を形成する準備をした。

【0082】この装置を用いて裏面反射層及び第一の透明導電層まで形成した基板上にn型非晶質半導体層104、n型微結晶半導体層105、i型微結晶半導体層106、p型半導体層107を順次形成した。n型非晶質半導体層104はRFプラズマCVD法で、n型微結晶半導体層105及びi型微結晶半導体層106はVHFプラズマCVD法で、p型半導体層107はRFプラズマCVD法でそれぞれ形成した。

【0083】各半導体層の詳しい形成工程は以下に述べるのとおりである。

【0084】(n型非晶質半導体層の形成) H_2 ガスを300 sccm導入し、堆積室301内の圧力が1.1 torr、基板302の温度が250℃で安定したところで、 SiH_4 ガス:4 sccm、 PH_3/H_2 ガス:2 sccm、 H_2 ガス:100 sccmを導入し、堆積室301内の圧力が1.1 torrとなるように調整し

16

た。高周波電源としては13.56 MHzのRF電源を用いた。RF電源(13.56 MHz)309の電力を5Wに設定し、RF電極(高周波導入部)306にRF電力を印加し、プラズマ310を生起させ、シャッター311を開け、 ZnO 層103上にn型非晶質半導体層104の形成を開始し、該層104の層厚が15 nmになったところでシャッター311を閉じ、RF電源306を切ってプラズマ310を消滅させ、n型非晶質半導体層の形成を終えた。堆積室301内への SiH_4 ガス、 PH_3/H_2 ガスの流入を止め、2分間堆積室301内へ H_2 ガスを流し続けた後、 H_2 ガスの流入も止め、堆積室301内及びガス配管314、315内を 1×10^{-5} torrまで真空排気した。

【0085】(n型微結晶半導体層の形成) 次に、 H_2 ガスを300 sccm導入し、堆積室301内の圧力が0.4 torr、基板302の温度が250℃で安定したところで、 SiH_4 ガス:0.4 sccm、 PH_3/H_2 ガス:1 sccm、 H_2 ガス:100 sccm導入し、堆積室301内の圧力が0.4 torrとなるように調整した。高周波電源309としては105 MHzのVHF電源を用いた。VHF電源(105 MHz)309の電力を5Wに設定し、VHF電極(高周波導入部)306にVHF電源309の電力を印加し、プラズマ310を生起させ、シャッター311を開け、n型非晶質半導体層104の上にn型微結晶半導体層105の形成を開始し、該層105の層厚が15 nmになったところでシャッター311を閉じ、VHF電源309を切ってプラズマ310を消滅させ、n型微結晶半導体層105の形成を終えた。堆積室301内への SiH_4 ガス、 PH_3/H_2 の流入を止め、2分間堆積室301内へ H_2 ガスを流し続けた後、 H_2 の流入を止め、堆積室301内及びガス配管314、315内を 1×10^{-5} torrまで真空排気した。

【0086】(i型微結晶半導体層の形成) 次に、 H_2 ガスを500 sccm導入し、堆積室301内の圧力が0.3 torr、基板302の温度が200℃で安定したところで、 SiH_4 ガス:25 sccm、 H_2 ガス:750 sccmを導入し、堆積室301内の圧力が0.3 torrとなるように調整した。高周波電源309としては105 MHzのVHF電源を用いた。VHF電源(105 MHz)309の電力を6Wに設定し、VHF電極(高周波導入部)306にVHF電源309の電力を印加し、プラズマ310を生起させ、シャッター311を開け、n型微結晶半導体層105の上にi型微結晶半導体層106の形成を開始し、該層106の層厚が1.2 nmになったところでシャッター311を閉じ、VHF電源309を切ってプラズマ310を消滅させ、i型微結晶半導体層106の形成を終えた。堆積室301内への SiH_4 ガスの流入を止め、1分間堆積室301内へ H_2 ガスを流し続けた後、 H_2 の流入を止め、堆

積室301内及びガス配管314、315内を 1×10^{-5} torrまで真空排気した。

【0087】(p型半導体層の形成)次に、 H_2 ガスを500 sccm導入し、堆積室301内の圧力が1.8 torr、基板302の温度が180℃になるように設定した。基板302の温度が安定したところで、 SiH_4 ガス、 BF_3 / H_2 ガスを流入させた。この時、 SiH_4 ガス流量が0.02 sccm、 H_2 ガス流量が50 sccm、 BF_3 / H_2 ガス流量が2 sccm、圧力が1.8 torrとなるように調整した。高周波電源309としては13.56 MHzのRF電源を用いた。RF電源309の電力を40 Wに設定し、プラズマ310を生起させ、シャッター311を開け、i型微結晶半導体層106の上にp型半導体層107の形成を開始し、該層107の層厚が7 nmになったところでシャッター311を閉じ、RF電源309を切ってプラズマ310を消滅させ、p型半導体層107の形成を終えた。堆積室301内への SiH_4 ガス、 BF_3 / H_2 ガスの流入を止め、2分間堆積室301内へ H_2 ガスを流し続けた後、 H_2 の流入を止め、堆積室301内及びガス配管314、315内を 1×10^{-5} torrまで真空排気し、堆積室301をリークした。

【0088】次に、第二の透明導電層108として、p型半導体層107の上にITO(インジウム錫酸化物)層を堆積した。

【0089】不図示のスパッタ装置を用い、ターゲットにITO($In_2O_3 + SnO_2 : 10\%$)を使用し、スパッタ用ガスとして Ar/O_2 を30 sccm/0.1 sccm導入し、DC電源より200 Wの電力を投入し、基板を200℃に加熱しながら層厚70 nmのITO層108を堆積した。

【0090】上記第二の透明導電層108に、櫛型の穴が開いたマスクを乗せ、 $Cr(40\text{ nm})/Ag(1000\text{ nm})/Cr(40\text{ nm})$ からなる櫛型の集電電極109を電子ビーム真空蒸着法で真空蒸着した。

【0091】上記のようにして本実施例の光起電力素子*

	初期変換効率	光劣化試験における「割合」	振動劣化試験における「割合」	総合評価
実施例1	1	1	1	◎
比較例1	0.87	0.9	0.87	×
比較例2	0.93	0.75	0.9	×

【0100】上記表1から明らかなように、本発明の光起電力素子は、初期光電変換効率、光劣化後の光電変換効率、振動劣化後の光電変換効率の全てにおいて優れていることがわかった。

【0101】[実施例2] 実施例1において、n型微結晶半導体層106の微結晶体積率を種々変化させた以外は実施例1と同様にして光起電力素子を作製した。実施例1と同様に、光劣化試験を行い、n型微結晶半導体層※

*を作製した。尚、本実施例のn型微結晶半導体層の微結晶体積率をX線回折法で求めたところ、45%であった。

【0092】[比較例1] 実施例1においてn型非晶質半導体層104を堆積しない点以外は、全て実施例1と同様にして光起電力素子を作製した。

【0093】[比較例2] 実施例1においてn型微結晶半導体層105を堆積しない点以外は、全て実施例1と同様に光起電力素子を作製した。

【0094】上記実施例1、比較例1、比較例2の各光起電力素子について、初期光電変換効率(光起電力/入射光電力)測定、光劣化試験、振動劣化試験を行った。各試験方法は以下の通りである。

【0095】初期光電変換効率測定：光起電力素子をAM-1.5(100 mW/cm^2)光照射下に設置して、V-I特性を測定することにより初期光電変換効率を求めた。

【0096】光劣化試験：予め初期光電変換効率を測定しておいた光起電力素子を、湿度50%、温度25℃の環境に設置し、AM-1.5光を800時間照射後の、AM-1.5光照射下での光電変換効率の初期光電変換効率に対する割合(光劣化試験後の光電変換効率/初期光電変換効率)を求めた。

【0097】振動劣化試験：予め初期光電変換効率を測定しておいた光起電力素子を湿度50%、温度25℃の暗所に設置し、振動周波数60 Hzで振幅0.1 mmの振動を500時間加えた後、AM-1.5光照射下での光電変換効率の初期光電変換効率に対する割合(振動劣化試験後の光電変換効率/初期光電変換効率)を求めた。

【0098】実施例1の光起電力素子の各値(初期光電変換効率、光劣化試験における「割合」、振動劣化試験における「割合」)をそれぞれ1とした時の比較例1、比較例2の素子の各値は表1ようになった。

【0099】

【表1】

	初期変換効率	光劣化試験における「割合」	振動劣化試験における「割合」	総合評価
実施例1	1	1	1	◎
比較例1	0.87	0.9	0.87	×
比較例2	0.93	0.75	0.9	×

※の微結晶体積率と光劣化後の光電変換効率(実施例1の光劣化後の光電変換効率を1とした時の相対値。以下の実施例でも同様)との相関を図4に示す。

【0102】図4から明らかなように、n型微結晶半導体層106の微結晶体積率は3%~75%が好ましいことがわかった。

【0103】[実施例3] 実施例1において、裏面反射層(Ag)102及び第一の透明導電層(ZnO)10

3の作製条件(表2)を種々変えて、また、第一の透明導電層103の表面を酢酸水溶液でウェットエッチング(表3)して表面断面形状の傾斜角を種々変化させた以外は実施例1と同様にして光起電力素子を作製した。第一の透明導電層103の表面断面形状の傾斜角と光劣化*

*後の光電変換効率(相対値)及び振動劣化後の光電変換効率(実施例1の振動劣化後の光電変換効率を1とした時の相対値)との関係を図5、図6に示す。

【0104】

【表2】

	Ag	ZnO
基板温度	RT~350℃	150℃~400℃
堆積圧力	5mtorr~30mtorr	5mtorr~30mtorr
導入電力	100W~400W	100W~400W

(RT:室温)

【0105】

※ ※【表3】

	液温(℃)	浸漬時間(秒)
5%酢酸水溶液	15~40	5~120
10%酢酸水溶液	15~35	5~90

【0106】図5、図6から明らかな通り、本発明の光起電力素子においては、第一の透明導電層103の表面断面形状の傾斜角の標準偏差が15°~55°であることが好ましいことがわかった。

【0107】[実施例4] 実施例1において、第二の透明導電層108作製時のスパッタ用ガス中に含まれる酸素量を種々変える以外は実施例1と同様にして光起電力素子を作製し、評価を行った。その結果を図7に示す。

【0108】図7から明らかな通り、本発明の光起電力素子においては、第二の透明導電層108を微量の酸素を含有するスパッタ用ガスを用いてスパッタ形成することが好ましいことがわかった。

【0109】[実施例5] 実施例1において、n型非晶質半導体層104の層厚を種々変える以外は実施例1と同様にして光起電力素子を作製し、評価を行った。その結果を図8、図9に示す。

【0110】図8、図9から明らかな通り、本発明の光起電力素子においては、n型非晶質半導体層の層厚は50Å~1000Åとすることが好ましいことがわかった。

【0111】[実施例6] 実施例1において、n型微結晶半導体層105の層厚を種々変える以外は実施例1と同様にして光起電力素子を作製し、評価を行った。その結果を図10、図11に示す。

【0112】図10、図11から明らかな通り、本発明の光起電力素子においては、n型微結晶半導体層105の層厚は50Å~1000Åとすることが好ましいことがわかった。

【0113】[実施例7] 実施例1において、i型微結晶半導体層106の層厚を種々変える以外は実施例1と同様にして光起電力素子を作製し、評価を行った。その結果を図12に示す。

【0114】図12から明らかな通り、本発明の光起電★50

★力素子においては、i型微結晶半導体層の層厚は0.5μm~3μmとすることが好ましいことがわかった。

【0115】

【発明の効果】以上説明したように、本発明においては、薄膜微結晶層を用い且つ高速堆積であるにも関わらず、密着性も良く、短絡電流、開放電圧、フィルファクターを向上させることができ、光電変換効率を向上させることができる。また、光電変換素子の光劣化、振動劣化を改善でき、耐久性に優れた光電変換素子を提供することができる。

【図面の簡単な説明】

【図1】本発明の光起電力素子の一実施態様を示す模式的な断面図である。

【図2】本発明における第一の透明導電層の表面形状の傾斜角を評価するための概念図である。

【図3】本発明の光起電力素子の半導体層を形成することのできるプラズマCVD装置の一例を示す模式的な断面図である。

【図4】本発明の実施例2における、n型微結晶半導体層の微結晶体積率と光劣化後の光電変換効率(相対値)との関係を示す図である。

【図5】本発明の実施例3における、第一の透明導電層の表面断面形状の傾斜角と光劣化後の光電変換効率(相対値)との関係を示す図である。

【図6】本発明の実施例3における、第一の透明導電層の表面断面形状の傾斜角と振動劣化後の光電変換効率(相対値)との関係を示す図である。

【図7】本発明の実施例4における、第二の透明導電層のスパッタ成膜時に用いたスパッタ用ガス組成のArに対するO₂量と光劣化後の光電変換効率(相対値)との関係を示す図である。

【図8】本発明の実施例5における、n型非晶質半導体層の層厚と光劣化後の光電変換効率(相対値)との関係

21

を示す図である。

【図9】本発明の実施例5における、n型非晶質半導体層の層厚と振動劣化後の光電変換効率（相対値）との関係を示す図である。

【図10】本発明の実施例6における、n型微結晶半導体層の層厚と光劣化後の光電変換効率（相対値）との関係を示す図である。

【図11】本発明の実施例7における、n型微結晶半導体層の層厚と振動劣化後の光電変換効率（相対値）との関係を示す図である。

【図12】本発明の実施例8における、i型微結晶半導体層の層厚と光劣化後の光電変換効率（相対値）との関係を示す図である。

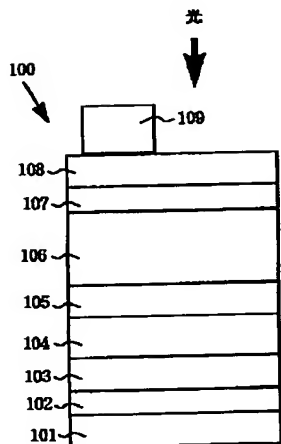
【符号の説明】

100 光起電力素子
101 支持基板
102 裏面反射層
103 第一の透明導電層

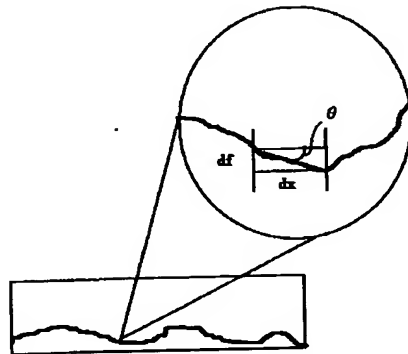
10

104 n型非晶質半導体層
105 n型微結晶半導体層
106 i型微結晶半導体層
107 p型半導体層
108 第二の透明導電層
109 集電電極
301 反応室
302 基板
303 ヒーター
304 コンダクタンスバルブ
306 高周波の導入部
309 高周波の電源
310 プラズマ
311 シャッター
313 排気方向
314 排気管
315 ガス導入管
316 ガス導入方向

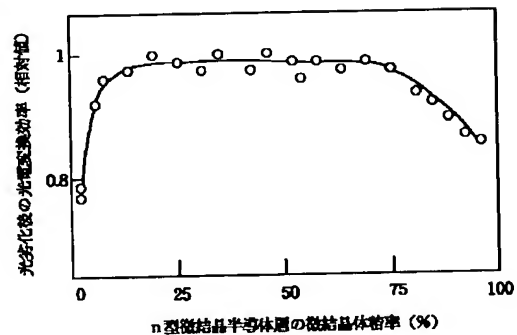
【図1】



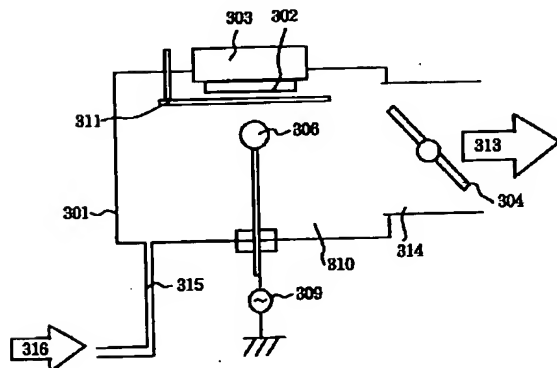
【図2】



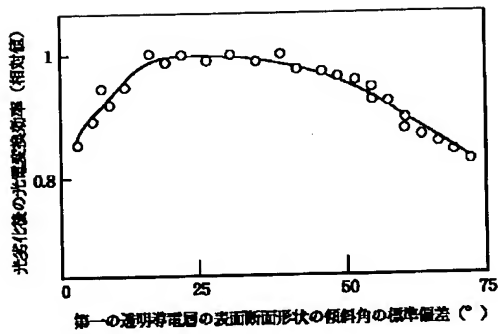
【図4】



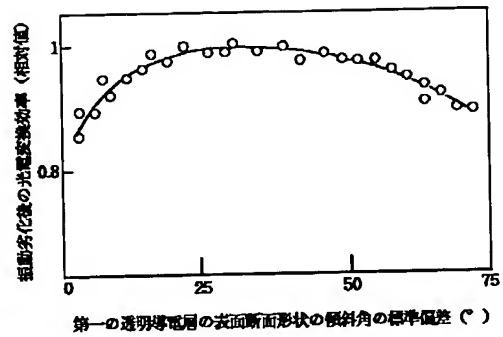
【図3】



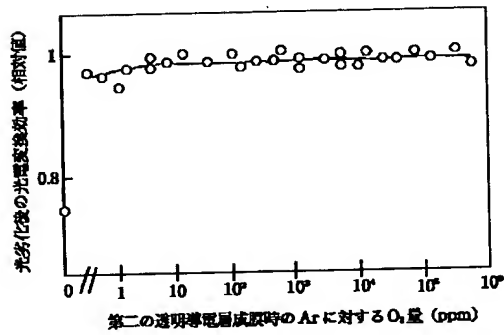
【図5】



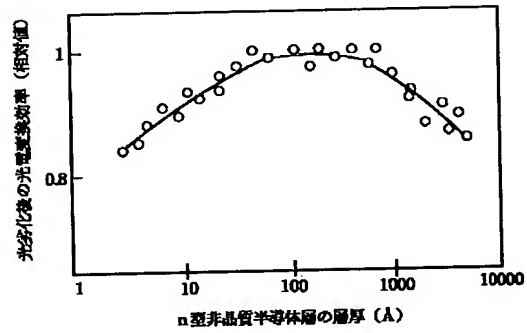
【図6】



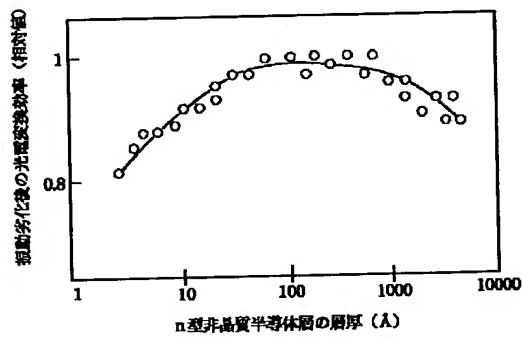
【図7】



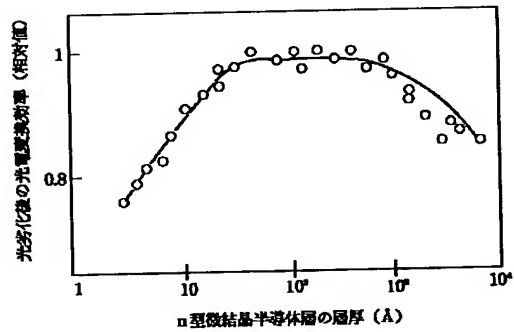
【図8】



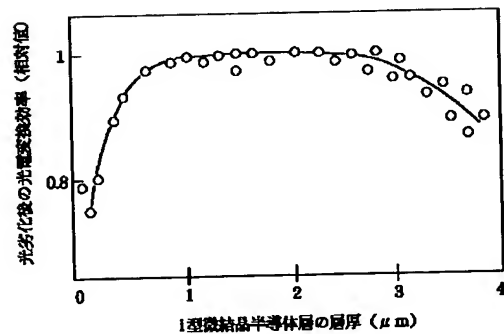
【図9】



【図10】



【図12】



【図11】

